

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-306782

(43)Date of publication of application : 05.11.1999

(51)Int.Cl. G11C 16/06

(21)Application number : 10-114445

(71)Applicant : SHARP CORP

(22)Date of filing : 24.04.1998

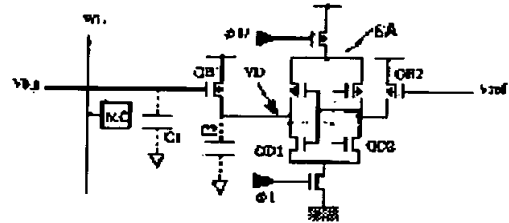
(72)Inventor : HOTTA YASUHIRO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor memory device in which a chip area is reduced, whose speed is made high and whose power consumption is reduced.

SOLUTION: A reference potential is connected to the input end of a sense amplifier SA via a load gate QB1 and a load gate QB2, and the current of the load gate QB1 and that of the load gate QB2 are controlled respectively by a bit line Vbit and a reference potential Vref. In addition, a transfer gate QC1 and a transfer gate QC2 are arranged respectively in series with the load gate QB1 and the load gate QB2. The current of the load gate QB1 and that of the load gate QB2 are stopped after a read operation.



LEGAL STATUS

[Date of request for examination] 02.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-306782

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

G 1 1 C 16/06

識別記号

F I

G 1 1 C 17/00

6 3 4 C

6 3 4 G

6 3 4 A

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平10-114445

(22) 出願日 平成10年(1998)4月24日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 堀田 泰裕

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

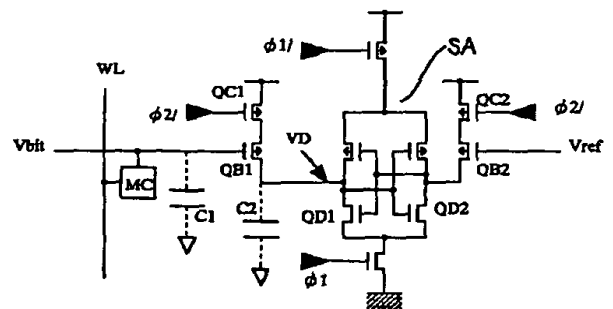
(74) 代理人 弁理士 小池 隆彌

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ラッチ型センスアンプにおいて、入力端に直接、ビット線を接続すると、ラッチ型センスアンプの書き込み動作により参照電位が変化し、各センスアンプ間で参照電位を共有できない。また、センスアンプの出力がビット線に接続されているためにセンスアンプの高速動作が困難である。

【解決手段】 センスアンプSAの入力端に負荷ゲートQB1、QB2を介して基準電位を接続し、当該負荷ゲートQB1及びQB2の電流を、それぞれ、ビット線V_{bit}及び参照電位V_{ref}により制御する。更に、負荷ゲートQB1及びQB2に直列に、それぞれ、トランスファージゲートQC1及びQC2を配置し、読み出し後に負荷ゲートQB1、QB2の電流を停止する。



(2)

【特許請求の範囲】

【請求項1】 ビット線電位と参照電位との電位差をセンスアンプによりセンス増幅してデータを読み出す半導体記憶装置において、前記センスアンプの両入力端と基準電位との間に、それぞれ、負荷ゲートを配置し、前記各負荷ゲートの電流を、ビット線電位と参照電位とにより制御する構成としたことを特徴とする半導体記憶装置。

【請求項2】 ビット線電位と参照電位との電位差をセンスアンプによりセンス増幅してデータを読み出す半導体記憶装置において、前記センスアンプの両入力端と基準電位との間に、それぞれ、負荷ゲートと制御ゲートとを直列に配置し、前記各負荷ゲートの電流を、ビット線電位と参照電位とにより制御し、前記センスアンプの動作確定後に、前記制御ゲートの電流を遮断する構成としたことを特徴とする半導体記憶装置。

【請求項3】 前記センスアンプはラッチ型センスアンプであることを特徴とする、請求項1又は2に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置におけるセンスアンプに係り、特に、低消費電流化、チップ面積の縮小、高速化に有効な技術に関するものである。

【0002】

【従来の技術】図2は、従来のオープンビット線方式を採用したダイナミック型ランダムアクセスメモリ(DRAM)の一部を示す回路図であって、メモリセルアレイにおける1つのカラムを代表的に示している。Vbit及びVbit/は中央に位置するセンスアンプSAに各一端が接続され各他端が両方向に延設された一対のビット線、MCは上記一方のビット線Vbitに接続された複数のメモリセル及び1個のダミーセルのうち代表的に示された1個のメモリセル、MDは同じく前記他方のビット線Vbit/に接続された複数のメモリセル及び1個のダミーセルのうち代表的に示されたダミーセル、WLは前記メモリセルMCを選択するためのワード線、WDは前記ダミーセルMDを選択するためのダミーワード線である。

【0003】図3は、上記メモリでのセルデータ読み出し動作における動作波形を示している。まず、プリチャージ期間(t0-t1)に、各ワード線及び各ダミーワード線が非活性化状態のままで図示しないプリチャージ・イコライズ回路によりビット線Vbit、Vbit/がプリチャージされると共にイコライズされる。次に、例えば、図示のメモリセルMCが選択されるものとすれば、そのワード線WL及び対応するダミーワード線WD

が時刻t1に活性化される。これにより、上記メモリセルMCの電荷蓄積状態に応じてビット線Vbit、Vbit/間に微小な電位差が生じる。次に、時刻t2に制御信号φ1によりセンスアンプSAが活性化され、上記ビット線Vbit、Vbit/の電位差がセンスラッチされ、更に、ビット線Vbit、Vbit/の一方が電源電位Vdd、他方が接地電位GNDになるまで増幅される。これにより、データの読み出しが行われると共に前記選択セルに対する再書き込みが行われる。

【0004】更に、ラッチ型センスアンプはカレントミラー型の差動アンプより低消費電流化が容易なことから、上記構成をEPROM(再書き込み可能な読み出し専用メモリ)、マスクROM(マスクプログラマブル読み出し専用メモリ)等の不揮発性メモリへ適用することが特開昭61-184794号公報に於いて提案されている。

【0005】図2に示す従来の構成の場合、DRAMのメモリセルではビット線電位が確定した後は貫通電流は存在しないが、前記EPROM等の不揮発性メモリではメモリセルトランジスタの電流の有無によりデータを記憶しているので、ビット線電位確定後もメモリセルの導通電流が流れ続ける。更に、前記不揮発性メモリでは微細化によるメモリセルの耐圧の低下や、フローティングゲートの電荷放出等により、ビット線に長時間高電位を与えることはできない。かかる問題を解決するために、前記提案では、ビット線とセンスアンプの入力端との間にトランスファゲートQA1、QA2を設け、センスラッチ後にビット線とセンスアンプとの間を電気的に分離する。図4に回路構成図を示す。

【0006】一方、不揮発性メモリでは一般にオープンビット線方式は採用されておらず、ビット線電位Vbitと各ビット線に共通の参照電位VrefをセンスアンプSAで比較することにより読み出しを行っている。具体的に図5により説明すると、不揮発性メモリでは、複数の読み出しデータに対応して複数のセンスアンプSA、…と、それらに共通の参照電位発生回路REFを備え、各センスアンプSAの一方の入力にはビット線電位Vbit(Vbit1、…)を入力し、他方には、共通の参照電位Vrefを入力する。例えば、図5に例示するように、参照電位発生回路REFはダミーメモリセルMDの閾値をオン状態とオフ状態の中間に設定し、参照電位Vrefとしてビット線電位の中間電位を発生する。

【0007】図6は、上記不揮発性メモリでのセルデータ読み出し動作における動作波形を示している。まず、プリチャージ期間(t0-t1)に、図示しないプリチャージ・イコライズ回路によりビット線Vbit、参照電位Vrefがプリチャージされると共にイコライズされる。次に、例えば、図示のメモリセルMCが選択されるものとすれば、そのワード線WL及び参照電位発生回

(3)

路REFが時刻 t_1 に活性化される。これにより、上記メモリセルMCの状態（オン又はオフ）に応じてビット線Vbit、参照電位Vref間に微小な電位差が生じる。次に、時刻 t_2 に制御信号 ϕ_1 によりセンスアンプSAが活性化され、上記ビット線Vbit、参照電位Vrefの電位差がセンスラッチされ、ラッチデータが確定した後、時刻 t_3 にトランスファゲートQA1、QA2をオフ状態にし、センスアンプSAとビット線Vbit、参照電位Vref間を遮断する。

【0008】なお、センスアンプSAの入力とトランスファゲートQA1、QA2間の負荷容量C2はビット線容量C1に比べて小さいため、ラッチを安定して確定させるためにはトランスファゲートの遮断（ t_3 ）はセンスラッチが確定した後に行う必要がある。

【0009】更に、SRAM（Static RAM）に用いられるラッチ型センスアンプにおいて、高速化、及び低消費電力化を図る構成が特開平10-11975号公報に提案されている。図7に当該センスアンプの概略構成を示す。当該センスアンプは、ドレイン電極を互いのゲート電極に接続し、それぞれをセンス出力端子とする一対のN型トランジスタQE1、QE2と、ビット線電位Vbit、Vbit／をゲート電極のみにそれぞれ接続する各入力トランジスタQE3～QE6と、出力制御信号 ϕ_1 ／をゲート電極に入力し、活性期間に各入力トランジスタQE3～QE6を介して各センス出力端子に負荷電流をそれぞれ供給するP型制御トランジスタQE7、QE8を備える。

【0010】

【発明が解決しようとする課題】上記オープンビット線方式では、センスアンプを挟んで両側にメモリセルMCとダミーメモリセルMDに対応したビット線を備えるので、各ビット線に対応してダミーメモリを備える必要があり、チップ面積の増加を招く。

【0011】また、従来の構成を、不揮発性メモリに適用すると、読み出し時の（ $t_2 - t_3$ ）におけるセンスラッチの再書き込み動作によりビット線Vbitと同時に参照電位Vrefも変動し、その変動はビット線電位により異なる。すなわち、図6に示すように、参照電位Vrefはビット線Vbitと異なる方向に遷移し、メモリセルがオン状態の場合にはビット線電位はVbit（0）、参照電位はVref（0）に遷移し、メモリセルがオフ状態の場合にはビット線電位はVbit

（1）、参照電位はVref（1）に遷移するので、複数のセンスアンプで参照電位を共有することができない。

【0012】また、図6の（ $t_2 - t_3$ ）の期間は、C2に加えて、C2に比べて大きいビット線の負荷容量C1がセンスアンプの出力に接続されるので、センスアンプの高速動作が困難である。

【0013】また、図7の構成では、活性期間中はセン

スアンプの貫通電流は入力トランジスタQE3～QE6により制御されるが、ビット線電位が中間電位にあると、貫通電流が流れ続ける。SRAMでは比較的早期にビット線電位が高電位または低電位の何れかに確定するため、かかる貫通電流は早期に遮断されるが、不揮発性メモリではビット線電位Vbit及び参照電位Vrefは中間電位付近の僅かな電位差しか生じないので、センスアンプの活性期間中、貫通電流が流れ続け、消費電流の増加を招く。

10 【0014】

【課題を解決するための手段】本発明の半導体記憶装置は、ビット線電位と参照電位との電位差をセンスアンプによりセンス増幅してデータを読み出す半導体記憶装置において、前記センスアンプの両入力端と基準電位との間に、それぞれ、負荷ゲートを配置し、前記負荷ゲートの電流をビット線電位と参照電位とにより制御する構成とすることにより、上記目的が達成される。

【0015】また、好ましくは、前記センスアンプの両入力端と基準電位との間に、それぞれ、負荷ゲートと制御ゲートとを直列に配置し、前記負荷ゲートの電流をビット線電位と参照電位により制御し、前記センスアンプの動作確定後に、前記制御ゲートの電流を遮断する構成とすることにより、上記目的が達成される。

【0016】本発明により、不揮発性メモリにおいてもラッチ型センスアンプを用いることができ、従来のカレントミラー型センスアンプに比べて消費電流の低減が容易になる。更に、参照電位発生回路を複数のセンスアンプで共有することができるので、チップ面積の縮小が可能になる。

30 【0017】また、センスラッチ後は貫通電流が生じないので、極めて消費電流の低減が可能である。

【0018】

【発明の実施の形態】以下に、本発明の実施の形態について図面を用いて詳細に説明する。

【0019】図1は、本発明の第1の実施の形態の不揮発性メモリ（マスクROM、EPROM、EEPROM、フラッシュメモリ等）の主要部を示す回路図であって、メモリセルアレイにおける各カラムのうち1つのカラムを代表的に示している。センスアンプSAは、例えばCMOSフリップフロップ回路を用いた同期型センスアンプ、Vbitは前記カラムに接続するビット線、MCは前記ビット線に接続された複数のメモリセルのうち代表的に示された1個のメモリセル、WLは前記メモリセルMCを選択するためのワード線、Vrefは参照電位発生回路REFにより発生される参照電位である。

【0020】前記センスアンプSAの各入力端と基準電位、例えば電源電位Vddとの間には、負荷トランジスタQB1及びQB2のソース及びドレインが接続され、それらのゲートには、それぞれ、ビット線Vbit及び参照電位Vrefが入力されている。

50

(4)

【0021】次に、上記メモリにおけるセルデータの読み出し動作について、図8を参照して説明する。

【0022】まず、プリチャージ期間 ($t_0 - t_1$) に、図示しないプリチャージ・イコライズ回路により、ビット線 V_{bit} 、参照電位 V_{ref} がプリチャージされると共にイコライズされる。次に、例えば、図示のメモリセルMCが選択されるものとすれば、そのワード線 WL 及び参照電位発生回路 REF が時刻 t_1 に活性化される。これにより、上記メモリセルMCの状態（オン又はオフ）に応じてビット線 V_{bit} 、参照電位 V_{ref} 間に微小な電位差が生じる。次に、時刻 t_2 に、制御信号 ϕ_1 によりセンスアンプ SA が活性化され、上記ビット線 V_{bit} 、参照電位 V_{ref} の電位差がセンスラッチされる。メモリセルMCがオン状態の場合は、ビット線は $V_{bit}(0)$ 、センスアンプの出力電位は $VD(0)$ に遷移し、オフ状態の場合は、ビット線は $V_{bit}(1)$ 、センスアンプの出力電位は $VD(1)$ に遷移し、参照電位は V_{ref} に遷移する。なお、この構成では、センスアンプが活性化されている間、負荷トランジスタ QB_1 、 QD_1 、或いは QB_2 、 QD_2 のトランジスタの間で貫通電流が発生する。

【0023】本発明の構成では、センスラッチの書き込み動作によってビット線及び参照電位は遷移しないので参照電位 V_{ref} を各センスアンプ間で共有することができ、各センスアンプ毎に参照電位発生回路を設ける必要はない。

【0024】更に、センスアンプ SA の出力に接続する負荷容量 C_2 は小さいので、センスアンプの高速な動作が可能である。

【0025】図9は、本発明の第2の実施の形態の不揮発性メモリ（マスクROM、EPROM、EEPROM、フラッシュメモリ等）の主要部を示す回路図であって、メモリセルアレイにおける各カラムのうち1つのカラムを代表的に示している。センスアンプ SA は、例えばCMOSフリップフロップ回路を用いた同期型センスアンプ、 V_{bit} は前記カラムに接続するビット線、 MC は前記ビット線に接続された複数のメモリセルのうち代表的に示された1個のメモリセル、 WL は前記メモリセルMCを選択するためのワード線、 V_{ref} は参照電位発生回路 REF により発生される参照電位である。前記センスアンプ SA の各入力端と基準電位との間には、それぞれ、負荷トランジスタ QB_1 、 QB_2 に加え、トランスファゲート QC_1 、 QC_2 が直列に接続され、負荷トランジスタ QB_1 、 QB_2 のゲートには、それぞれ、ビット線 V_{bit} 及び参照電位 V_{ref} が入力され、トランスファゲート QC_1 、 QC_2 のゲートには制御信号 ϕ_2 が入力されている。

【0026】次に、上記メモリにおけるセルデータの読み出し動作について図10を参照して説明する。

【0027】まず、プリチャージ期間 ($t_0 - t_1$)

に、図示しないプリチャージ・イコライズ回路によりビット線 V_{bit} 、参照電位 V_{ref} がプリチャージされると共にイコライズされる。次に、例えば、図示のメモリセルMCが選択されるものとすれば、そのワード線 WL 及び参照電位発生回路 REF が時刻 t_1 に活性化される。これにより、上記メモリセルMCの状態（オン又はオフ）に応じてビット線 V_{bit} 、参照電位 V_{ref} 間に微小な電位差が生じる。次に、時刻 t_2 に、制御信号 ϕ_1 によりセンスアンプ SA が活性化され、上記ビット線 V_{bit} 、参照電位 V_{ref} の電位差がセンスラッチされ、ラッチデータが確定した後、時刻 t_3 に、トランスファゲート QC_1 、 QC_2 をオフ状態にし、センスアンプ SA と基準電位間を遮断する。

【0028】本発明の構成では、センスラッチの書き込み動作によってビット線及び参照電位は遷移しないので各センスアンプ毎に参照電位発生回路を設ける必要はなく、1つの参照電位発生回路を各センスアンプ間で共有することができると共に、センスラッチが確定後に、負荷トランジスタ QB_1 、 QB_2 の電流が遮断されるので、貫通電流は生じず、更なる低消費電流化が可能である。

【0029】更に、前記第1の実施の形態と同様に、センスアンプ SA の出力に接続する負荷容量 C_2 は小さいので、センスアンプの高速な動作が可能である。

【0030】

【発明の効果】以上、詳細に説明したように、本発明の半導体記憶装置によれば、チップ面積を低減しつつ、高速化、低消費電流化を図ることができるものである。

【0031】また、図7に示した従来のセンスアンプでは、センスアンプが活性化中の消費電流増加を抑制するためには、トランジスタ $QE_3 \sim QE_6$ の駆動能力を低くすることで可能となるが、センスアンプの出力電位の遷移が緩やかになり、高速動作が困難となる。これに対して、本発明の半導体記憶装置によれば、負荷トランジスタ QB_1 、 QB_2 の駆動能力を低くしても、電源電圧は十分にセンスアンプに供給されるため、高速化と低消費電流化が可能となるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の不揮発性メモリの主要部構成を示す回路図である。

【図2】従来のメモリ構成を示す回路図である。

【図3】同メモリにおける読み出し動作時の信号波形を示すタイミングチャートである。

【図4】従来の他のメモリ構成を示す回路図である。

【図5】従来の不揮発性メモリの概略構成図である。

【図6】同不揮発性メモリにおける読み出し動作時の信号波形を示すタイミングチャートである。

【図7】従来のセンスアンプの構成を示す回路図である。

【図8】本発明の第1の実施形態のメモリにおける読み

(5)

出し動作時の信号波形を示すタイミングチャートである。

【図9】本発明の第2の実施形態の不揮発性メモリの主要部構成を示す回路図である。

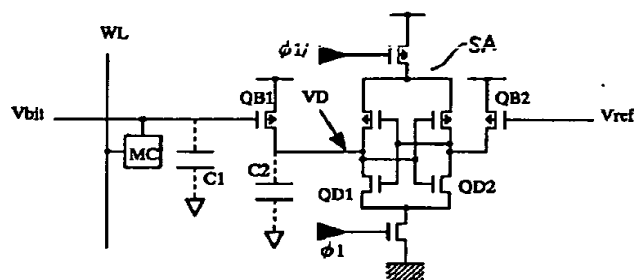
【図10】同実施形態のメモリにおける読み出し動作時の信号波形を示すタイミングチャートである。

【符号の説明】

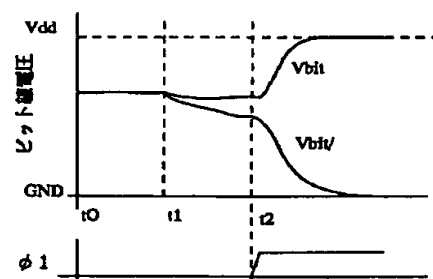
SA センスアンプ
Vbit ビット線
Vref 参照電位

MC メモリセル
MD ダミーメモリセル
WL ワード線
WLD ダミーワード線
QB1、QB2 負荷ゲート（負荷トランジスタ）
QC1、QC2 トランスファゲート
 $\phi 1$ 、 $\phi 2$ 制御信号
REF 参照電位発生回路
10 C1、C2 負荷容量

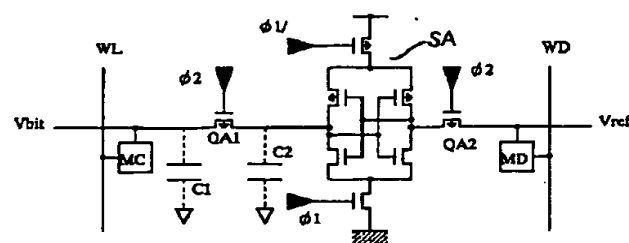
【図1】



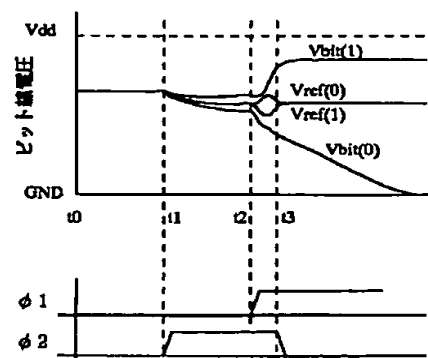
【図3】



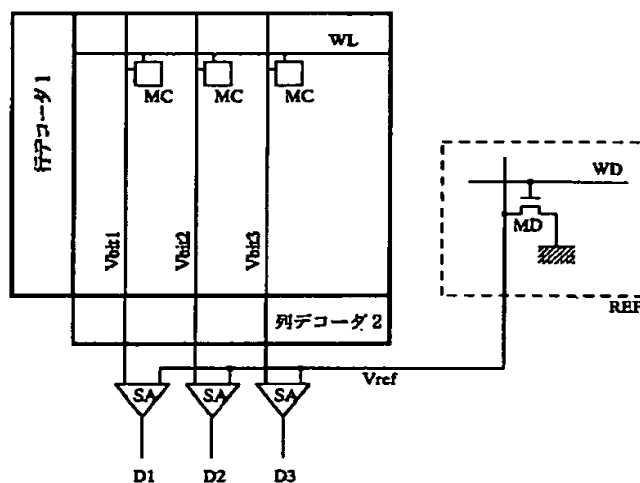
【図4】



【図6】

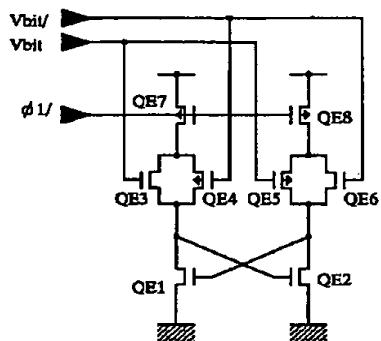


【図5】

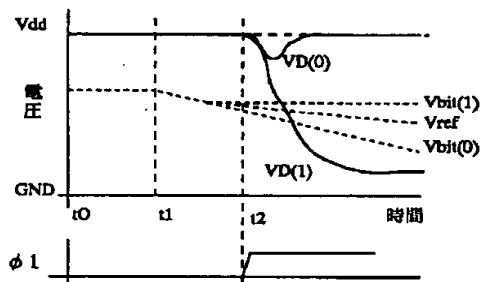


(6)

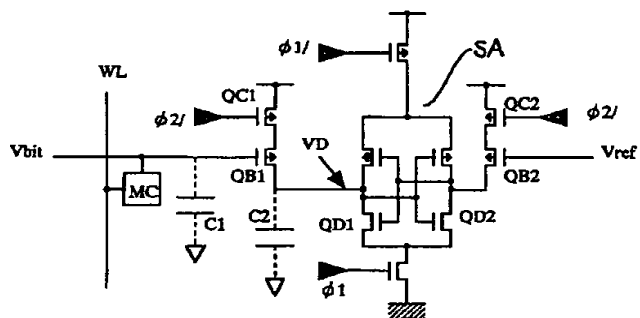
【図 7】



【图8】



【图9】



【图 10】

